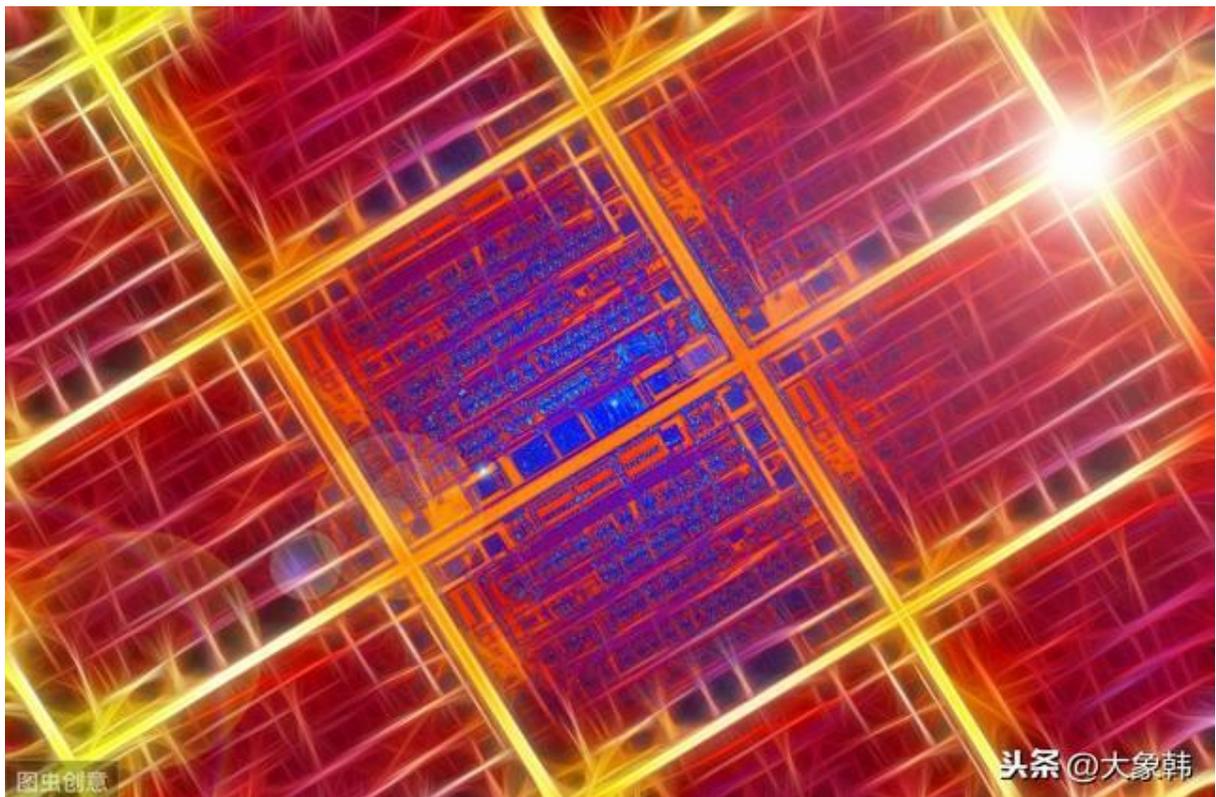


# CMOS 集成电路的自我隔离技术及倒相器工作原理说明



大象韩 2020-04-11 14:12

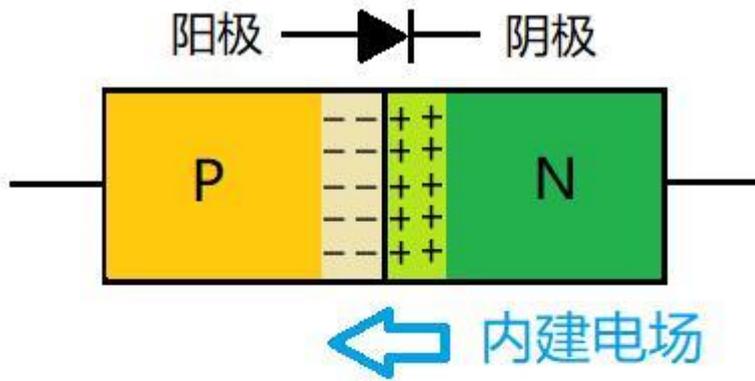
集成电路越来越复杂，特别是硅基的 CMOS 集成电路，工艺节点已经进入 5~7 纳米级别了。指甲大小的硅片上，就可以制造上亿个器件。那么它们是怎样做到互不影响，自我隔离呢？



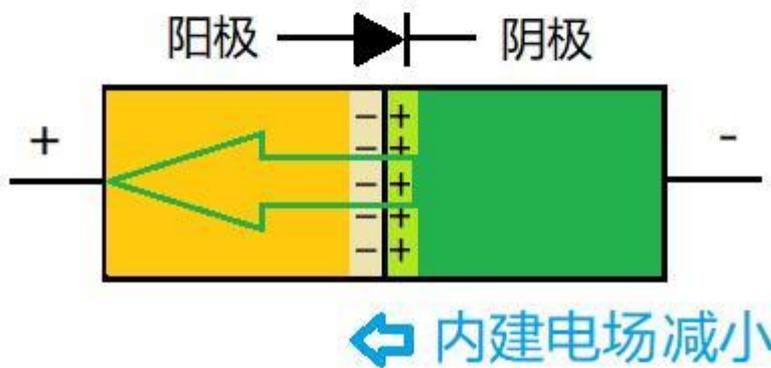
集成电路示意图

这得从 PN 结说起。其实无论是双极性集成电路，到现在主流的 CMOS 集成电路，基本都是靠 PN 结隔离。

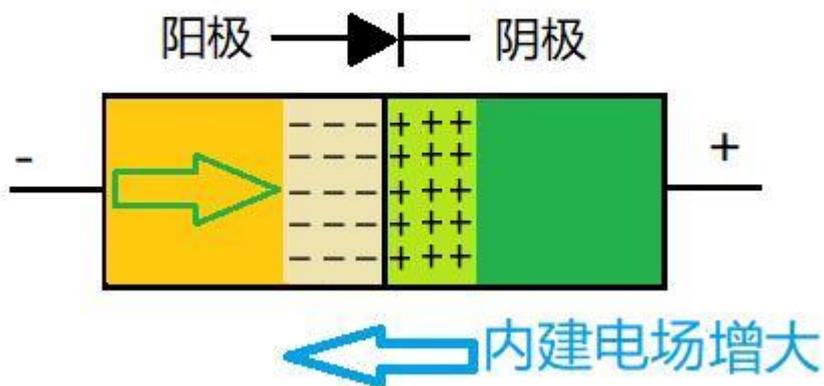
我们知道，PN 结之所以叫“结”，就是在结合处会成一个内建电场，这个内建电场阻止了 P 型（空穴多）和 N 型（电子多）载流子的进一步复合。所以 PN 结加正向电压，内建电场被削弱，PN 结导通。加反向电压，增强了内建电场，PN 结不导通。利用 PN 结的反偏不导通可以做到晶体管之间的隔离效果。为了便于对照，我们把 PN 结的状态（零偏正偏反偏）示意图如下。



内建电场阻止两边载流子交流



正向导通状态，内建电场被削弱

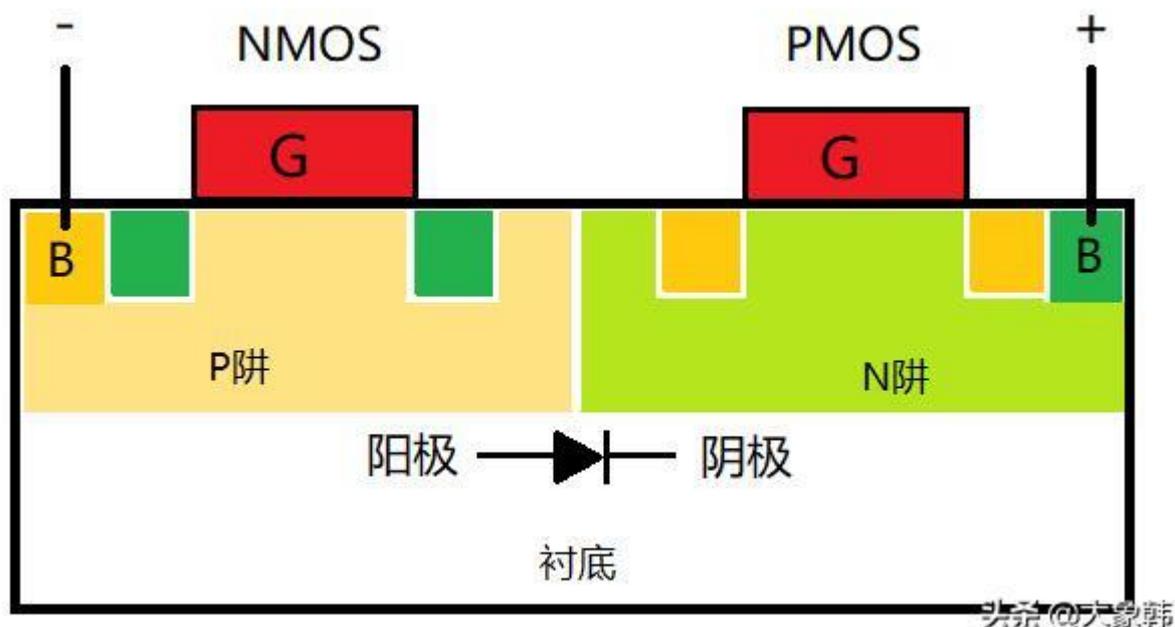


反向不导通，内建电场被增强

头条 @大象韩

反向 PN 结可以用作隔离

下面是 CMOS 集成电路的基本单元示意图：NMOS 管和 PMOS 管。它们的不同搭配组合可以形成许许多多的逻辑电路。图中绿色代表 N 型区，黄色代表 P 型区，不同颜色深浅代表浓度不同。



CMOS 反偏的阱隔离

NMOS 位于 P 阱内，PMOS 位于 N 阱内，P 阱和 N 阱就构成了一个 PN 结，阱的引出端是各自的 B 端。

要让 PMOS 管和 NMOS 管互相隔离，就得采用反偏电压。所以一定是 P 阱接低电平，N 阱接高电平。普通逻辑或数字电路无一例外。

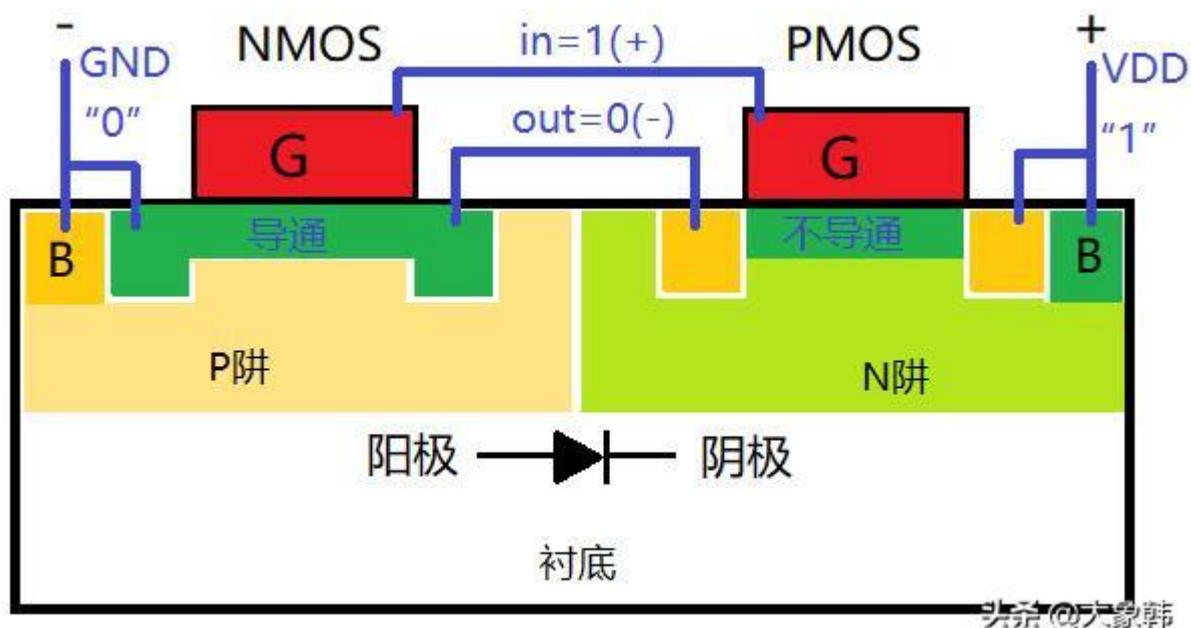
很多工艺为了简单，可以只做一个阱，把衬底当作另外一个阱。如果是 N 型衬底，那就相当于图中 N 阱扩展到了下面，衬底得接高电平。如果是 P 型衬底，那就相当于图中 P 阱扩展到了下面，衬底得接低电平。

理解了 CMOS 器件的隔离技术，就很容易看懂版图：接 VDD 高电平的都是 PMOS，位于 N 阱内。接 GND 低电平的都是 NMOS，位于 P 阱内。

另外由于 NMOS 是电子导电，PMOS 是空穴导电。电子的迁移率比空穴大，所以为了平衡，相同性能的 P 管宽长比一般比 N 管大一些。这样更容易从电源的接法和晶体管的大小就很容易识别 PMOS 和 NMOS 版图。

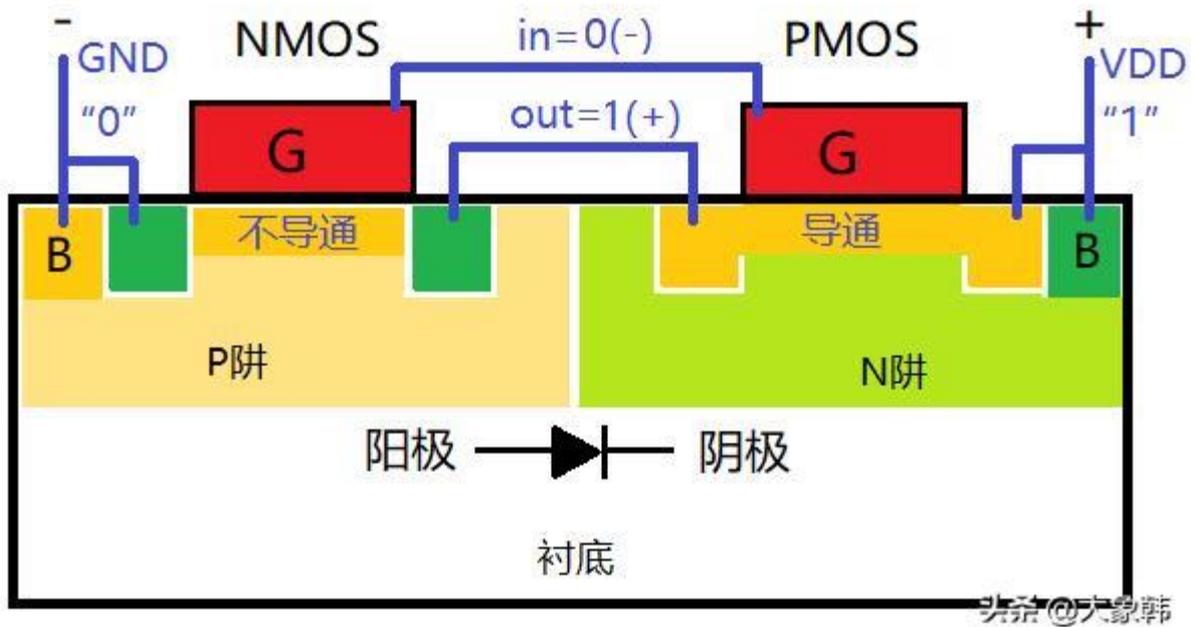
有人说，这样接法的限制会不会影响电路设计呢？我们来看一个简单的例子。

如下图所示，将阱偏置好的 PMOS 及 NMOS 用蓝线连接，则可以得到：当 in 端为高电平“1”时，就会在两个管子沟道处感应出电子来，导致 NMOS 导通，PMOS 不导通。out 端就变成了低电平“0”。



CMOS 倒相器工作原理 1

相反，如下图所示，当 in 端为低电平“0”时，就会在两个管子沟道处感应出空穴来，导致 PMOS 导通，NMOS 不导通。out 端就变成了高电平“1”。

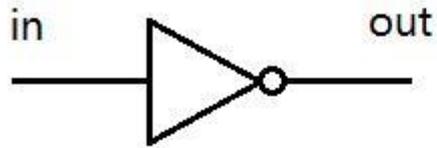


CMOS 倒相器工作原理 2

这其实就是 CMOS 倒相器的基本工作原理。它的符号、真值表、原理图及版图如下图所示。

## CMOS倒相器

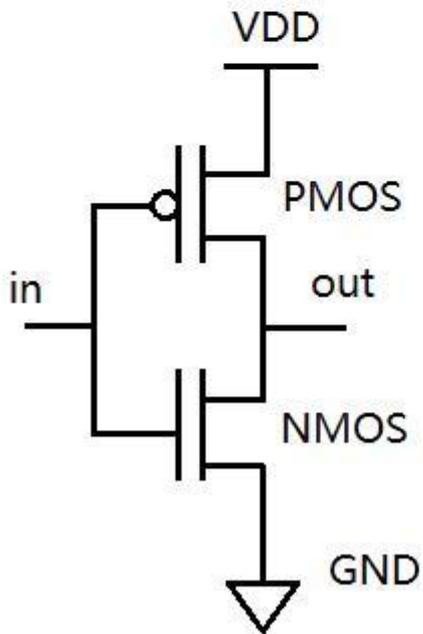
符号



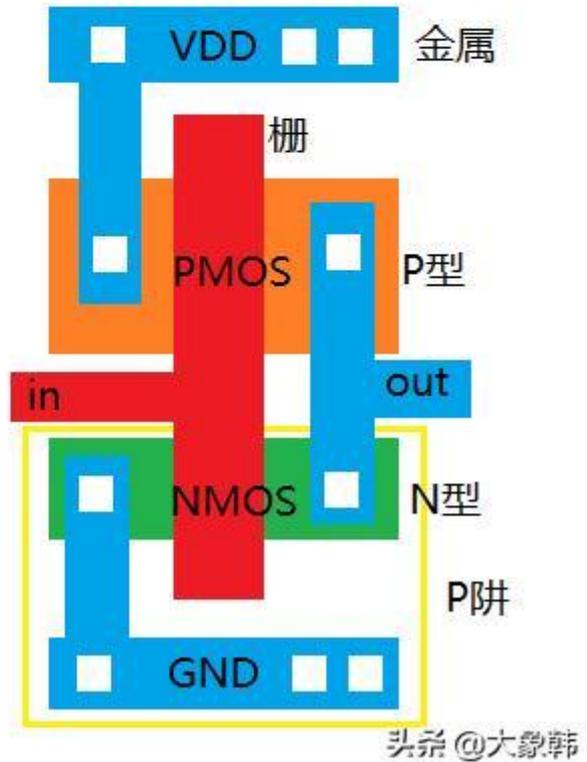
真值表

in	out
0	1
1	0

原理图



版图



CMOS 倒相器符号、真值表、原理图及版图

除了倒相器，CMOS 在阱固定反向偏置下，还可以形成与非门、或非门等等逻辑电路。这里就不一一举例了。如果您看懂了这些，表示您已经对微电子技术入门了。（大象 20200411）